

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP3094430
Publication date: 1991-04-19
Inventor(s): FUKASE KATSUYA; others: 01
Applicant(s):: SHINKO ELECTRIC IND CO LTD
Requested Patent: ☒ JP3094430
Application Number: JP19890231133 19890906
Priority Number(s):
IPC Classification: H01L21/50
EC Classification:
Equivalents: JP2840317B2

Abstract

PURPOSE:To reduce the number of production processes by a method wherein a base film is etched and required parts such as terminal parts for external connection use out of circuit patterns are exposed so that products corresponding to uses of various products can be manufactured easily and that a collective resin sealing operation can be executed.

CONSTITUTION:A semiconductor chip 16 is bonded to a die bonding part 14 which has been plated with gold or the like; the semiconductor chip 16 and circuit patterns 12 are wire-bonded; then, the semiconductor chip 16, a circuit component 22 and the like are resin-sealed. During this resin-sealing operation, only one side of a base film 10 on which the semiconductor chip 16 has been mounted is resin-sealed; bonding wires 18 and the circuit patterns 12 are resin-sealed collectively; the rear surface of an encapsulant which has been obtained is covered with the base film 10. A resist pattern 26 is formed on an exposed face of the base film 10; after that, it is etched; required parts such as terminal parts 28 for external connection use out of the circuit patterns 12 are exposed. Thereby, production operation is made easy and the number of production processes can be reduced.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-94430

⑫ Int. Cl.

H 01 L 21/50

識別記号

B

庁内整理番号

6918-5F

⑬ 公開 平成3年(1991)4月19日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-231133

⑯ 出 願 平1(1989)9月6日

⑰ 発 明 者 深 瀬 克 哉 長野県長野市大字栗田字舍利田711番地 新光電気工業株式会社内

⑱ 発 明 者 田 中 正 人 長野県長野市大字栗田字舍利田711番地 新光電気工業株式会社内

⑲ 出 願 人 新光電気工業株式会社 長野県長野市大字栗田字舍利田711番地

⑳ 代 理 人 弁理士 綿貫 隆夫 外1名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 電気的絶縁性を有するベースフィルム上に回路パターンを設け、

前記ベースフィルム上に半導体チップを接合して半導体チップと前記回路パターンとをワイヤボンディングによって接続し、

前記ベースフィルムの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、回路パターンを含めて一体的に樹脂封止し、

ベースフィルムをエッチングして、回路パターンのうち外部接続用の端子部等の所要部位を露出させることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体チップ及び所要の回路部品等が一体的に樹脂封止されて提供される半導体装置の

製造方法に関する。

(従来技術)

半導体装置は電子装置をはじめきわめて多種類の製品にひろく用いられており、ICカードといった小形商品にも利用されるようになっている。

これら製品で用いられる半導体装置の実装方式としては、パッケージに半導体チップを搭載してパッケージごと回路基板に実装するパッケージ方式と、回路基板に半導体チップをじかに接続するベアチップ方式とがある。

前記のパッケージ方式の場合は、パッケージ内に半導体チップが封止されて保護されているので、取り扱いがきわめて容易であり、実装が容易にでき、また耐環境性に優れている等の特徴がある。

これに対して、ベアチップ方式は回路基板にじかに半導体チップを接続するから、小面積で実装でき、高密度実装が可能になるという特徴がある。

(発明が解決しようとする課題)

上記のように、回路基板等に半導体チップを搭載する方法には、パッケージ方式あるいはベアチ

チップ方式があるが、いずれもそれぞれ別体で作成した半導体チップ等の回路部品を別々に実装しているため、製造工程が複雑になって装置の信頼性が劣ること、装置の小形化が制限されること等の問題点があった。

また、半導体チップは通常、回路基板等の接統用基板に実装されるから、ICカードのようなきわめて薄形に形成される装置においては基板の厚さが薄形化を制限するという問題点があった。

そこで、本発明は上記問題点を解消すべく考えられたものであり、その目的とするところは、半導体チップと回路部品等を容易に一体的に搭載することができ、製造工数を減らすことができ、製造コストを下げることができると共に、製造プロセスを簡略化することによって不良品の発生率を低下させ、装置の信頼性を高めることができ、また、装置の小形化、薄形化が達成でき、高密度実装を可能とする半導体装置の製造方法を提供しようとするものである。

(課題を解決するための手段)

(実施例)

以下本発明の好適な実施例を添付図面に基づいて詳細に説明する。

第1図(a)~(e)は本発明に係る半導体装置の製造方法を示す説明図である。

図で10はポリイミド等の電気的絶縁性を有するフィルムから成るベースフィルムで、12はこのベースフィルム10上に形成した回路パターン、14は半導体チップを接合するダイボンディング部である。

回路パターン12およびダイボンディング部14は、たとえばベースフィルム10上に銅箔を接着し、銅箔上にレジストパターンを形成してエッチングすることによって形成することができる。ベースフィルム10に銅箔を接合する場合は、接着剤を用いる場合と接着剤を用いない場合とがある。

次に、第1図(b)に示すように、金めっき等を施したダイボンディング部14に半導体チップ16を接合し、半導体チップ16と回路パターン12

本発明は上記目的を達成するため次の構成をそなえる。

すなわち、電気的絶縁性を有するベースフィルム上に回路パターンを設け、前記ベースフィルム上に半導体チップを接合して半導体チップと前記回路パターンとをワイヤボンディングによって接続し、前記ベースフィルムの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、回路パターンを含めて一体的に樹脂封止し、ベースフィルムをエッチングして、回路パターンのうち外部接続用の端子部等の所要部位を露出させることを特徴とする。

(作用)

ベースフィルム上に設けたダイボンディング部に半導体チップを接合してワイヤボンディングすることによって回路パターンと接続する。半導体チップおよび回路パターンが一体的に樹脂封止され、ベースフィルムの所要部位をエッチング除去することによって外部接続用の端子部等が形成される。

とをワイヤボンディングする。18はボンディングワイヤである。なお、回路パターン12上のボンディング部20には、ボンディングを確実にするためあらかじめ金めっき等を施しておく。22は回路パターン12に接続した回路部品である。

次に、上記半導体チップ16および回路部品22等を樹脂封止する。この樹脂封止の際には、半導体チップ16が搭載されているベースフィルム10の片面側のみを樹脂封止し、前記ボンディングワイヤ18および回路パターン12を一体的に樹脂封止する。得られた封止体は、その下面にベースフィルム10が被覆されている。

次に、ベースフィルム10の露出面にレジストパターン26を形成する(第1図(d))。

次に、ベースフィルム10をエッチングし、回路パターン12のうち外部接続用の端子部28等の所要部位を露出させる。端子部28には腐食などを防止するため金めっき30等を施す。こうして、第1図(e)に示す半導体装置が得られる。

得られた半導体装置は、第1図(e)に示すように、

半導体チップ16および回路部品22、回路パターン12等が一体的に封止され、端子部28等の所要部位が露出するものとなる。

なお、上記製造方法においてはベースフィルム10上に銅箔等の金属層を接合し、この金属層をエッチングして回路パターン等を形成するが、この金属層として電解銅箔を用いることも有効である。電解銅箔は表面が複雑な凹凸を有する粗面として形成されるもので、粗面を封止樹脂24に接合する係にして樹脂封止することにより、アンカー効果によって封止樹脂17と回路パターン12とを強固に接合させることができる。なお、電解銅箔を用いる場合は、ボンディング部20等にはあらかじめ平滑処理および金めっき等を施しておくのがよい。

上記の半導体装置は、各種製品、用途に応じて設計、製造することが容易にできるから、各種機器に搭載して効果的に利用することができる。

また、半導体チップは回路パターンに接続されているだけで回路基板を要しないから、装置の小

形化、薄形化にきわめて有効である。これによりICカードのような小形商品にも容易に応用利用することが可能となる。

また、上記製造方法においてはワイヤボンディング法によって半導体チップを接続しているから、製造が容易であると共に、製造上の信頼性も高いという利点がある。また、リードフレーム等をを用いる場合とくらべて回路パターンが高密度に形成でき、高集積化を図ることができるという利点がある。

なお、上記製造方法においては長尺状のベースフィルムを用いることにより連続加工による生産が容易に可能となる。

第2図は長尺帯状体を用いた加工例を示す。図で10は前記ベースフィルムで、ベースフィルム10上には回路パターンが繰り返しパターンで形成され、同時に各回路パターンに接続して検査用ライン40および電解めっきの導通をとるためのバスライン42が設けられる。

回路パターン、検査用ライン40、バスライン

42はベースフィルム10上に接合した銅箔をエッチングして形成する。次いで、半導体チップを搭載し、ワイヤボンディングした後樹脂封止する。第2図はこの樹脂封止した状態である。

樹脂封止した後、ベースフィルム10をエッチングして端子部等を露出させ、金めっき処理等を施し、不要部分を除去して各モジュール部をベースフィルム10から分離する。

モジュール部をあらかじめ検査する場合は、樹脂封止した後、検査用ライン40の短絡部分を打ち抜いて行う。44は回路を独立させるための打ち抜き部である。

この製造方法によれば、上記のようにめっき処理を含めて連続加工ができ、製造途中で半導体装置の検査を行うことができ、能率的な製造方法となる。

以上、本発明について好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのはもちろんのことである。

(発明の効果)

上述したように、本発明に係る半導体装置の製造方法によれば、各種製品の用途に応じた製品を製造することが容易にでき、また一体的に樹脂封止することによって製造工数を減らすことができ、製造が容易になると共に、製品の信頼性を向上させることができる。また、これによって製造コストを下げることができる。

また、半導体装置の小形化、薄形化を達成することができて高密度実装を可能にする等の効果を奏する。

4. 図面の簡単な説明

第1図(a)~(e)は本発明に係る半導体装置の製造方法を示す説明図、第2図は長尺体を用いた製造方法を示す説明図である。

10・・・ベースフィルム、 12・・・回路パターン、 14・・・ダイボンディング部、 16・・・半導体チップ、 18・・・ボンディングワイヤ、 20・・・ボンディング部、 22・・・回路部品、 24・・・封止樹脂、

- 26・・・レジストパターン、
 28・・・端子部、 30・・・金めっき、
 40・・・検査用ライン、
 42・・・バスライン、 44・・・打ち抜き部。

特許出願人

新光電気工業株式会社

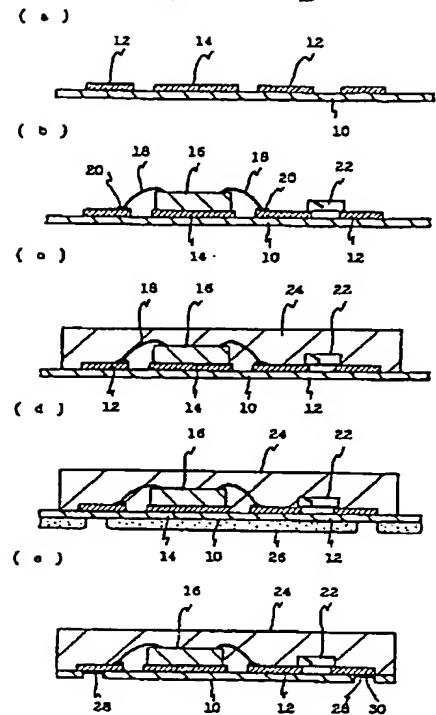
代表者 井上 貞夫

代理人 (7762)

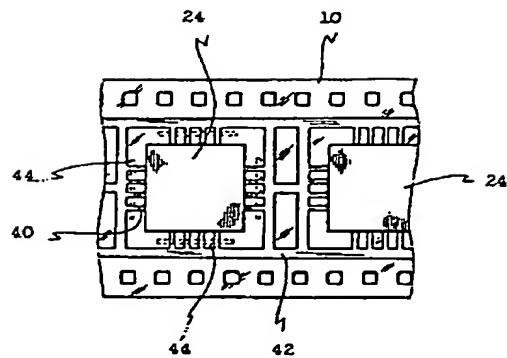
綿貫 隆夫



第 1 図



第 2 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成9年(1997)6月6日

【公開番号】特開平3-94430

【公開日】平成3年(1991)4月19日

【年通号数】公開特許公報3-945

【出願番号】特願平1-231133

【国際特許分類第6版】

H01L 21/50

【F I】

H01L 21/50

B 7220-4E

予 知 補 正 書

平成 8 年 8 月 30 日

特許庁長官 鹿 井 秀 光 殿

1. 事件の表示

平成 01 年 特許願第 231133 号

2. 発明の名称

半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人

住 所 長野県長野市大字田中 7 1 1 番地
名 称 新光電気工業株式会社
代 表 者 渡 本 淳 一

4. 代 理 人

住 所 〒 3 8 0
長野県長野市中央 3 丁目 1 2 番 9 号
氏 名 クリエイティブ・ビル 電話 026(228)5366
(7763) 弁理士 綿 賀 隆

5. 補正命令の日付

自発

6. 補正により増加する請求項の数

7. 補正の対象

明細書

8. 補正の内容

図面の通り

8. 補正の内容

1) 特許請求の範囲の欄を次のように補正する。

「1. 電気的絶縁性を有するベースフィルム上に回路パターンを形成し、
ベースフィルムの回路パターンが形成された一方の面に半導体チップ
を接合して半導体チップと前記回路パターンの一方の面とをワイヤボン
ディングによって接続し、
ベースフィルムの半導体チップが搭載された一方の面に、半導体チ
ップ、ボンディングワイヤおよび回路パターンを一体に樹脂封止し、
前記ベースフィルムをエッチングして、回路パターンの他方の面に外部
接続用の端子部等の所要部位を露出させることを特徴とする半導体装置の
製造方法。」

2) 明細書第4頁第3行目～第12行目に、

「すなわち、電気的絶縁性を有するベースフィルム・・・所要部位を露
出させることを特徴とする。」

とあるのを次のように補正する。

「すなわち、電気的絶縁性を有するベースフィルム上に回路パターンを形
成し、ベースフィルムの回路パターンが形成された一方の面に半導体チ
ップを接合して半導体チップと前記回路パターンの一方の面とをワイヤボ
ンディングによって接続し、ベースフィルムの半導体チップが搭載された
一方の面に、半導体チップ、ボンディングワイヤおよび回路パターンを
一体に樹脂封止し、前記ベースフィルムをエッチングして、回路パター
ンの他方の面に外部接続用の端子部等の所要部位を露出させることを特徴
とする。」